

11162567

Basic Patent (No,Kind,Date): EP 454100 A2 19911030 <No. of Patents: 046>

METHOD OF FORMING SILICON-BASED THIN FILM AND METHOD OF MANUFACTURING THIN FILM TRANSISTOR  
USING SILICON-BASED THIN FILM (English; French; German)

Patent Assignee: CASIO COMPUTER CO LTD (JP)

Author (Inventor): MORI HISATOSHI C O PAT DEPT DE (JP); SATO SYUNICHI C O PAT DEPT DEV (JP);  
KONYA NAOHIRO C O PAT DEPT DEV (JP)

Designated States : (National) DE; FR; GB; IT; NL

IPC: \*H01L-021/318; H01L-021/316; H01L-021/84; H01L-021/336

CA Abstract No: 116(06)049876T

Derwent WPI Acc No: C 91-319209

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
DE 69115405	C0	19960125	DE 69115405	A	19910920
DE 69128210	C0	19980102	DE 69128210	A	19910424
DE 69224038	C0	19980219	DE 69224038	A	19921112
DE 69115405	T2	19960613	DE 69115405	A	19910920
DE 69128210	T2	19980312	DE 69128210	A	19910424
DE 69224038	T2	19980423	DE 69224038	A	19921112
EP 454100	A2	19911030	EP 91106621	A	19910424 (BASIC)
EP 476701	A2	19920325	EP 91116062	A	19910920
EP 542271	A2	19930519	EP 92119377	A	19921112
EP 454100	A3	19920304	EP 91106621	A	19910424
EP 476701	A3	19920415	EP 91116062	A	19910920
EP 542271	A3	19940119	EP 92119377	A	19921112
EP 454100	B1	19971119	EP 91106621	A	19910424
EP 476701	B1	19951213	EP 91116062	A	19910920
EP 542271	B1	19980114	EP 92119377	A	19921112
HK 1013520	A1	20000519	HK 98114683	A	19981222
JP 4006820	A2	19920110	JP 90107377	A	19900425
JP 4006834	A2	19920110	JP 90107376	A	19900425
JP 4116826	A2	19920417	JP 90235675	A	19900907
JP 4120733	A2	19920421	JP 90239940	A	19900912
JP 4120737	A2	19920421	JP 90239941	A	19900912
JP 4123423	A2	19920423	JP 90242576	A	19900914
JP 4123424	A2	19920423	JP 90242577	A	19900914
JP 4130776	A2	19920501	JP 90250381	A	19900921
JP 4130777	A2	19920501	JP 90250383	A	19900921
JP 4299865	A2	19921023	JP 9187248	A	19910328

JP 5136411	A2	19930601	JP 91326773	A	19911115
JP 5136412	A2	19930601	JP 91326774	A	19911115
JP 5136413	A2	19930601	JP 91326775	A	19911115
JP 5136574	A2	19930601	JP 91326777	A	19911115
JP 5171434	A2	19930709	JP 91355633	A	19911224
JP 2712796	B2	19980216	JP 90239941	A	19900912
JP 2715646	B2	19980218	JP 90250383	A	19900921
JP 2727532	B2	19980311	JP 90242577	A	19900914
JP 2732543	B2	19980330	JP 90242576	A	19900914
JP 2762383	B2	19980604	JP 9187248	A	19910328
JP 2900284	B2	19990602	JP 90239940	A	19900912
JP 3245612	B2	20020115	JP 91326773	A	19911115
JP 3245613	B2	20020115	JP 91326774	A	19911115
JP 3245614	B2	20020115	JP 91326775	A	19911115
JP 3257001	B2	20020218	JP 91326777	A	19911115
JP 3282204	B2	20020513	JP 91355633	A	19911224
KR 9408356	B1	19940912	KR 916715	A	19910425
US 5243202	A	19930907	US 4641	A	19930112
US 5284789	A	19940208	US 690816	A	19910423
US 5367179	A	19941122	US 975282	A	19921112

Priority Data (No,Kind,Date) :

JP 90250381 A 19900921  
 JP 90250383 A 19900921  
 JP 9187248 A 19910328  
 JP 90107376 A 19900425  
 JP 90107377 A 19900425  
 JP 90235675 A 19900907  
 JP 90239940 A 19900912  
 JP 90239941 A 19900912  
 JP 90242576 A 19900914  
 JP 90242577 A 19900914  
 JP 91326773 A 19911115  
 JP 91326774 A 19911115  
 JP 91326775 A 19911115  
 JP 91326777 A 19911115  
 JP 91355633 A 19911224  
 US 762937 B1 19910919  
 US 690816 A2 19910423  
 US 975282 A 19921112  
 US 762937 B2 19910919

DIALOG(R)File 347:JAP10

(c) 2003 JPO & JAP10. All rts. reserv.

03758324

FILM FORMATION OF SILICON-BASED THIN FILM

PUB. NO.: 04-123424 [JP 4123424 A]

PUBLISHED: April 23, 1992 (19920423)

INVENTOR(s): MORI HISATOSHI

KONYA NAOHIRO

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-242577 [JP 90242577]

FILED: September 14, 1990 (19900914)

INTL CLASS: [5] H01L-021/205; C23C-016/50; C23C-016/52; H01L-021/316; H01L-021/318

JAP10 CLASS: 42.2 (ELECTRONICS -- Solid State Components); 12.6 (METALS -- Surface Treatment)

JAP10 KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 1248, Vol. 16, No. 381, Pg. 92, August 14, 1992 (19920814)

**ABSTRACT**

PURPOSE: To uniformize film quality over the whole film thickness and to prevent defects such as pin holes and weak spots by starting RF discharge after only the dilute gas of the material gas and the dilute gas is introduced into a chamber to adjust the substrate temperature and the in-chamber pressure and by introducing the material gas into the chamber.

CONSTITUTION: Only the dilute gas is introduced into the chamber to adjust the substrate temperature and the in-chamber pressure; then, RF discharge is started, and the material gas is introduced into the chamber. Before RF discharge is started, substance deposited on a substrate by thermolysis does not exist in the chamber; therefore, there is no conventional possibility that the thermolysis substance of the material gas is deposited on the substrate before RF discharge is started. Introducing the material gas into the chamber after RF discharge is started allows a silicon-based thin film formed by plasma CVD to grow uniformly without defects such as pin holes and weak spots over the whole area from the beginning of film formation.

## ⑫ 公開特許公報 (A)

平4-123424

⑬ Int.Cl.<sup>5</sup>

H 01 L	21/205
C 23 C	16/50
	16/52
H 01 L	21/316
	21/318

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月23日

X	7739-4M
	8722-4K
	8722-4K
B	8518-4M
	8518-4M

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 シリコン系薄膜の成膜方法

⑯ 特 願 平2-242577

⑯ 出 願 平2(1990)9月14日

⑰ 発明者 森 久 敏 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑰ 発明者 紺屋 直 弘 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑰ 出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

## 明細書

## 〔従来の技術〕

## 1. 発明の名称

シリコン系薄膜の成膜方法

## 2. 特許請求の範囲

プラズマCVD法により基板上にシリコン系薄膜を成膜する方法において、原料ガスと希釈ガスのうち、まず希釈ガスだけをチャンバ内に導入し、基板温度とチャンバ内圧力を調整した後にRF放電を開始して、この後原料ガスをチャンバ内に導入することを特徴とするシリコン系薄膜の成膜方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、SiN(窒化シリコン)膜、SiO(酸化シリコン)膜、a-Si:H(水素化アモルファスシリコン)膜、n<sup>+</sup>-a-Si(不純物が添加されたアモルファスシリコン)膜等のシリコン系薄膜をプラズマCVD法によって成膜するシリコン系薄膜の成膜方法に関するものである。

例えば薄膜トランジスタは、ガラス等からなる基板上に、ゲート電極と、ゲート絶縁膜と、i型半導体膜と、n型半導体膜と、ソースおよびドレイン電極とを積層して製造されており、一般に、前記ゲート絶縁膜にはSiN膜あるいはSiO膜が用いられ、i型半導体膜にはa-Si:H膜が用いられ、n型半導体膜にはn<sup>+</sup>-a-Si膜が用いられている。

これらSiN膜、SiO膜、a-Si:H膜、n<sup>+</sup>-a-Si膜等のシリコン系薄膜は、そのほとんどがプラズマCVD法によって基板上に成膜されている。このプラズマCVD法は、原料ガスと希釈ガスをチャンバ内に導入し、所定の成膜温度に基板を加熱するとともにチャンバ内の圧力(ガス圧)を所定圧にした状態で、RF放電により原料ガスおよび希釈ガスをプラズマ状態にして基板上にシリコン系薄膜を堆積させる方法であり、SiN膜は、SiH<sub>4</sub>(シラン)を主原料ガス、NH<sub>3</sub>(アンモニア)を副原料ガスとし、N<sub>2</sub>

(窒素)を希釈ガスとして成膜され、 $SiO$ 膜は、 $SiH_4$ を主原料ガス、 $N_2O$ (笑気ガス)を副原料ガスとし、 $N_2$ (窒素)を希釈ガスとして成膜されている。また、 $a-Si:H$ 膜は、 $SiH_4$ を原料ガス、 $H_2$ (水素)を希釈ガスとして成膜され、 $n^+ - a-Si$ 膜は、 $SiH_4$ を主原料ガス、 $PH_3$ (ホスフィン)を副原料ガスとし、 $H_2$ (水素)を希釈ガスとして成膜されている。

このプラズマCVD法によるシリコン系薄膜の成膜は、従来、次のようにして行なわれている。

第6図は、 $SiN$ 膜を成膜する場合のガス導入とRF放電のタイミング図であり、この $SiN$ 膜の成膜は、まずチャンバ内に、主原料ガスである $SiH_4$ ガスと、副原料ガスである $NH_3$ ガスと、希釈ガスである $N_2$ ガスとの全てのガスを同時に導入し、この後、基板の温度とチャンバ内の圧力(ガス圧)とを所定の成膜温度および圧力に調整して、基板温度およびチャンバ内圧力が安定した後に、RF放電を開始する方法で行なわれている。

厚は極く僅かであり、シリコン系薄膜を比較的厚く成膜した場合はシリコン系薄膜の特性にはあまり影響を及ぼさないが、シリコン系薄膜を薄く成膜した場合は、シリコン系薄膜の特性に大きな影響を及ぼしている。

しかも、上記従来の成膜方法で成膜されたシリコン系薄膜は、ピンホールやウィークスポット等の欠陥が散在状態で存在しており、したがって、シリコン系薄膜の特性が不安定であった。なお、上記ピンホールやウィークスポット等の欠陥は、 $SiN$ 膜および $SiO$ 膜においては絶縁破壊耐圧の低下となっており、 $a-Si:H$ 膜においては半導体特性の悪化となり、また $n^+ - a-Si$ 膜においては導電特性の悪化となっている。

本発明は上記のような実情にかんがみてなされたものであって、その目的とするところは、膜質が膜厚全体にわたって均一で、かつピンホールやウィークスポット等の欠陥もない特性の安定したシリコン系薄膜を得ることができる、シリコン系薄膜の成膜方法を提供することにある。

なお、基板温度およびチャンバ内圧力の調整およびその安定に要する時間は、成膜装置および基板の大きさによって異なるが、15分程度は必要であるため、RF放電は、ガス導入後15分を経過した時点で開始されている。また、チャンバ内へのガス導入とRF放電は、成膜する $SiN$ 膜の膜厚に応じて決まる成膜時間中継続されており、成膜時間を経過したときに、まずRF放電を停止し、数秒後に全てのガスの導入を停止している。

なお、ここでは $SiN$ 膜の成膜について説明したが、 $SiO$ 膜や、 $a-Si:H$ 膜、 $n^+ - a-Si$ 膜等の他のシリコン系薄膜の成膜も、従来は、まずチャンバ内に全てのガスを同時に導入し、基板温度およびチャンバ内圧力が安定した後にRF放電を開始する方法で行なわれている。

#### 〔発明が解決しようとする課題〕

しかし、上記従来の成膜方法で成膜されたシリコン系薄膜は、その膜質が膜厚全体にわたって均一でなく、その下層部分の膜質が他の部分と異なっていた。なお、この膜質の異なる下層部分の層

#### 〔課題を解決するための手段〕

本発明は、プラズマCVD法により基板上にシリコン系薄膜を成膜する方法において、原料ガスと希釈ガスのうち、まず希釈ガスだけをチャンバ内に導入し、基板温度とチャンバ内圧力を調整した後にRF放電を開始して、この後原料ガスをチャンバ内に導入することを特徴とするものである。

#### 〔作用〕

すなわち、本発明は、従来の成膜方法によって成膜したシリコン系薄膜に発生している、膜質の不均一およびピンホールやウィークスポット等の欠陥の発生要因を解明し、これに基づいてなされたものである。

従来の成膜方法によって成膜したシリコン系薄膜の膜質が不均一になる要因およびピンホールやウィークスポット等の欠陥の発生要因は、次のように考えられる。

従来の成膜方法では、まずチャンバ内に全てのガスを同時に導入し、基板温度およびチャンバ内圧力が安定した後にRF放電を開始しているため、

チャンバ内にガスを導入してからRF放電を開始するまでの時間、すなわち、基板温度およびチャンバ内圧力の調整時間中に、活性ガスである原料ガスが熱分解等を起こして基板上に付着する。そして、このようにRF放電の開始前に原料ガスの熱分解物質が基板上に付着すると、この後にRF放電を開始して成膜されるプラズマCVD堆積膜が、前記熱分解物質の付着層の上に堆積する。第6図は、従来の成膜方法によってシリコン系薄膜を成膜した場合の時間の経過にともなう堆積膜の膜厚変化を示しており、RF放電開始前の堆積層は、原料ガスの熱分解物質（例えばSiN膜の成膜においては、主原料ガス中のSi等）の付着層である。このため、従来の成膜方法で成膜されたシリコン系薄膜は、その下層部分の膜質がプラズマCVD成膜によらない原料ガスの熱分解物質であり、したがって膜厚方向の膜質が不均一である。

しかも、従来の成膜方法では、RF放電開始前に堆積する原料ガスの熱分解物質が、散在状態（平板面にスプレイで水を吹き付けたときの水滴

にわたって、ピンホールやウィークスポット等の欠陥を生じることなく均一に成長する。

#### 〔実施例〕

以下、本発明の実施例を図面を参照して説明する。

#### （第1の実施例）

まず、本発明をSiN膜の成膜に適用した実施例を説明する。第1図は、SiN膜を成膜する場合のガス導入とRF放電のタイミング図であり、このSiN膜の成膜は次のようにして行なう。

まずチャンバ内に、希釈ガスであるN<sub>2</sub>ガスだけを導入し、この後、基板の温度とチャンバ内の圧力（ガス圧）とを所定の成膜温度および圧力に調整する。そして、基板温度およびチャンバ内圧力が安定した後は、まずRF放電を開始し、その放電状態が安定した後、主原料ガスであるSiH<sub>4</sub>ガスと、副原料ガスであるNH<sub>3</sub>ガスとをチャンバ内に導入する。このようにRF放電が開始され、かつチャンバ内にSiN膜の成膜に必要な全てのガス（SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>）が導

の付着状態に似た状態）で不均一に基板上に付着するため、この後に堆積するプラズマCVD堆積膜の成長の度合が不均一になって、成長されたシリコン系薄膜にピンホールやウィークスポット等の欠陥が発生し、このシリコン系薄膜の特性が不安定になる。

そこで、本発明では、まず希釈ガスだけをチャンバ内に導入して基板温度とチャンバ内圧力を調整を行ない、この後、RF放電を開始してから、原料ガスをチャンバ内に導入したのであり、本発明の成膜方法によってシリコン系薄膜を成膜した場合の時間の経過にともなう堆積膜の膜厚変化は第5図に示すようになる。そして、本発明によれば、RF放電の開始前には、熱分解して基板上に付着する物質はチャンバ内にないため、従来の成膜方法のようにRF放電の開始前に原料ガスの熱分解物質が基板上に付着することなく、またRF放電を開始してから原料ガスをチャンバ内に導入しているため、プラズマCVD法により成膜されるシリコン系薄膜は、成膜初期からその全域

にわたって、ピンホールやウィークスポット等の欠陥を生じることなく均一に成長する。

なお、基板温度およびチャンバ内圧力の調整およびその安定に要する時間は、成膜装置および基板の大きさによって異なるが、15分程度必要であり、RF放電が安定状態になるのに要する時間は数十秒を見込んでおけば十分であるから、RF放電はN<sub>2</sub>の導入後15分を経過した時点で開始でき、SiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの導入は、RF放電開始後1分以内に開始できる。また、前記SiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの導入は同時に開始してもよいが、これら原料ガスの導入によるチャンバ内圧力の変動を小さくするには、SiH<sub>4</sub>ガスとNH<sub>3</sub>ガスとを図示のように時間をずらして導入するのが望ましく、このようにすれば、ガス導入にともなう圧力変動の補正も容易に行なうことができる。ただし、SiH<sub>4</sub>ガスとNH<sub>3</sub>ガスとの導入時間差は、チャンバ内の圧力を一定に制御するのに要する時間によって定められるが、この実施例においては、1分以内で十分である。また、

このように  $SiH_4$  ガスと  $NH_3$  ガスとを時間をずらして導入する場合は、副原料ガスである  $NH_3$  ガスを先に導入し、主原料ガスである  $SiH_4$  ガスを最後に導入するのが望ましい。

また、チャンバ内へのガス導入と RF 放電は、成膜する  $SiN$  膜の膜厚に応じて決まる成膜時間中継続して行ない、成膜時間を経過したときに、まず RF 放電を停止し、数秒後に全てのガスの導入を停止する。

この実施例では、まず希釈ガスである  $N_2$  ガスだけをチャンバ内に導入して基板温度とチャンバ内圧力を調整を行ない、この後、RF 放電を開始してから、主原料ガスである  $SiH_4$  ガスと副原料ガスである  $NH_3$  ガスとをチャンバ内に導入しているため、時間の経過にともなう堆積膜の膜厚変化は第5図に示したようになる。

そして、RF 放電の開始前にチャンバ内に導入されている  $N_2$  ガスには、熱分解して基板上に付着する物質は含まれていないため、従来の成膜方法のように RF 放電の開始前に熱分解物質が基板

上に付着することなく、したがって、成膜された  $SiN$  膜の膜質は膜厚全体にわたって均一になる。また、 $N_2$  ガスだけをチャンバ内に導入しておいて RF 放電を開始しているため、基板上の  $SiN$  膜成膜面（基板面または基板面に形成されている電極等の表面）が  $N_2$  ガスのプラズマでクリーニングされる効果もあり、したがって  $SiN$  膜は清浄な面の上に成膜されるから、 $SiN$  膜の膜質は、その堆積面との界面においても均一である。

また、RF 放電を開始してから  $SiH_4$  ガスと  $NH_3$  ガスをチャンバ内に導入しているため、プラズマ CVD 法により成膜される  $SiN$  膜は、成膜初期からその全域にわたって、ピンホールやウェークスポット等の欠陥を生じることなく均一に成長するから、成膜された  $SiN$  膜の絶縁破壊耐圧も十分である。

しかも、従来の成膜方法では、RF 放電の開始前に全てのガスをチャンバ内に導入しているため、RF 放電を開始した直後の不安定な放電状態時に、

$SiN$  が散在状態で基板上に堆積して、これがピンホールやウェークスポット等の欠陥を発生させる原因となるおそれがあったが、上記実施例では、RF 放電を開始し、さらにその放電状態が安定した後に、原料ガスである  $SiH_4$  ガスおよび  $NH_3$  ガスとをチャンバ内に導入しているため、 $SiN$  が散在状態で基板上に堆積することなく、したがって、ピンホールやウェークスポット等の欠陥の発生をさらに確実に防止することができる。

#### (第2の実施例)

次に、本発明を  $SiO$  膜の成膜に適用した実施例を説明する。第2図は、 $SiO$  膜を成膜する場合のガス導入と RF 放電のタイミング図であり、この  $SiO$  膜の成膜は次のようにして行なう。

まずチャンバ内に、希釈ガスである  $N_2$  ガスだけを導入し、次いで基板温度とチャンバ内圧力を調整する。そして、基板温度およびチャンバ内圧力が安定した後は、まず RF 放電を開始し、その放電状態が安定した後、主原料ガスである  $SiH_4$  ガスと副原料ガスである  $N_2O$  をチャン

バ内に導入して、プラズマ CVD 法による  $SiO$  膜の成膜を開始する。なお、この実施例においても、 $SiH_4$  ガスと  $N_2O$  ガスの導入は同時に開始してもよいが、 $SiH_4$  ガスと  $N_2O$  ガスとを図示のように時間をずらして導入すれば、ガス導入による圧力変動を少なくするとともに、その補正を容易に行なうことができる。この場合は、副原料ガスである  $N_2O$  ガスを先に導入し、主原料ガスである  $SiH_4$  ガスを最後に導入するのが望ましい。また、成膜時間を経過した後の RF 放電の停止とガス導入の停止は、上記第1の実施例と同様にして行なう。

この実施例でも、まず希釈ガスである  $N_2$  ガスだけをチャンバ内に導入して基板温度とチャンバ内圧力を調整を行ない、この後、RF 放電を開始してから、原料ガスである  $SiH_4$  ガスと  $N_2O$  ガスをチャンバ内に導入しているため、時間の経過にともなう堆積膜の膜厚変化は第5図に示したようになり、したがって、上記第1の実施例と同様に、膜質が膜厚全体にわたって均一で、かつ絶

破壊耐圧も十分な SiO 膜を成膜することができる。

(第3の実施例)

次に、本発明を a-Si:H 膜の成膜に適用した実施例を説明する。第3図は、a-Si:H 膜を成膜する場合のガス導入と RF 放電のタイミング図であり、この a-Si:H 膜の成膜は次のようにして行なう。

まずチャンバ内に、希釈ガスである H<sub>2</sub> ガスだけを導入し、次いで基板温度とチャンバ内圧力を調整する。そして、基板温度およびチャンバ内圧力が安定した後は、まず RF 放電を開始し、その放電状態が安定した後、原料ガスである SiH<sub>4</sub> ガスをチャンバ内に導入して、プラズマ CVD 法による a-Si:H 膜の成膜を開始する。なお、成膜時間を経過した後の RF 放電の停止とガス導入の停止は上記第1の実施例と同様である。

この実施例でも、まず希釈ガスである H<sub>2</sub> ガスだけをチャンバ内に導入して基板温度とチャンバ内圧力を調整を行ない、この後、RF 放電を開始

してから、原料ガスである SiH<sub>4</sub> ガスをチャンバ内に導入しているため、時間の経過にともなう堆積膜の膜厚変化は第5図に示したようになる。そして、RF 放電の開始前にチャンバ内に導入されている H<sub>2</sub> ガスには、熱分解して基板上に付着する物質は含まれていないため、従来の成膜方法のように RF 放電の開始前に熱分解物質が基板上に付着することではなく、また RF 放電を開始してから SiH<sub>4</sub> ガスをチャンバ内に導入しているため、プラズマ CVD 法により成膜される SiN 膜は、成膜初期からその全域にわたって、ピンホールやウィークスポット等の欠陥を生じることなく均一に成長する。したがって、この成膜方法で成膜された a-Si:H 膜は、その膜質が膜厚全体にわたって均一で、かつ安定した半導体特性をもっている。なお、この実施例においても、例えば H<sub>2</sub> ガスのプラズマによる成膜面のクリーニング効果等、上記第1の実施例と同様な効果が得られる。

(第4の実施例)

次に、本発明を n<sup>+</sup>-a-Si 膜の成膜に適用した実施例を説明する。第4図は、n<sup>+</sup>-a-Si 膜を成膜する場合のガス導入と RF 放電のタイミング図であり、この n<sup>+</sup>-a-Si 膜の成膜は次のようにして行なう。

まずチャンバ内に、希釈ガスである H<sub>2</sub> ガスだけを導入し、次いで基板温度とチャンバ内圧力を調整する。そして、基板温度およびチャンバ内圧力が安定した後は、まず RF 放電を開始し、その放電状態が安定した後、主原料ガスである SiH<sub>4</sub> ガスと副原料ガスである PH<sub>3</sub> ガスをチャンバ内に導入して、プラズマ CVD 法による n<sup>+</sup>-a-Si 膜の成膜を開始する。なお、この実施例においても、SiH<sub>4</sub> ガスと PH<sub>3</sub> ガスの導入は同時に開始してもよいが、SiH<sub>4</sub> ガスと PH<sub>3</sub> ガスとを図示のように時間をずらして導入すれば、ガス導入による圧力変動を少なくするとともに、その補正を容易に行なうことができる。この場合は、副原料ガスである PH<sub>3</sub> ガスを先に

導入し、主原料ガスである SiH<sub>4</sub> ガスを最後に導入するのが望ましい。また、成膜時間を経過した後の RF 放電の停止とガス導入の停止は、上記第1の実施例と同様にして行なう。

この実施例でも、まず希釈ガスである H<sub>2</sub> ガスだけをチャンバ内に導入して基板温度とチャンバ内圧力を調整を行ない、この後、RF 放電を開始してから、原料ガスである SiH<sub>4</sub> ガスと PH<sub>3</sub> ガスをチャンバ内に導入しているため、時間の経過にともなう堆積膜の膜厚変化は第4図に示したようになり、したがって、膜質が膜厚全体にわたって均一で、かつ安定した導電特性をもつ n<sup>+</sup>-a-Si 膜を成膜することができる。

なお、本発明は、SiN 膜、SiO 膜、a-Si:H 膜、n<sup>+</sup>-a-Si 膜に限らず、その他のシリコン系薄膜のプラズマ CVD 法による成膜にも適用できることはもちろんである。

[発明の効果]

本発明によれば、原料ガスと希釈ガスのうち、まず希釈ガスだけをチャンバ内に導入し、基板温

度とチャンバ内圧力を調整した後にRF放電を開始して、この後原料ガスをチャンバ内に導入しているから、膜質が膜厚全体にわたって均一で、かつピンホールやウィークスポット等の欠陥もない特性の安定したシリコン系薄膜を得ることができ

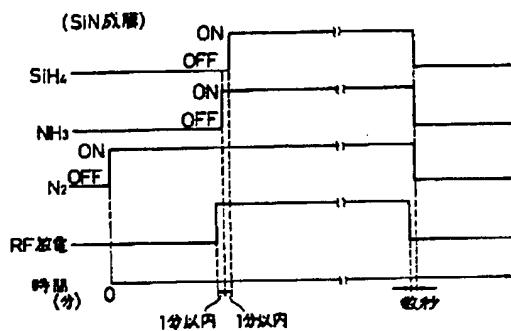
る。

#### 4. 図面の簡単な説明

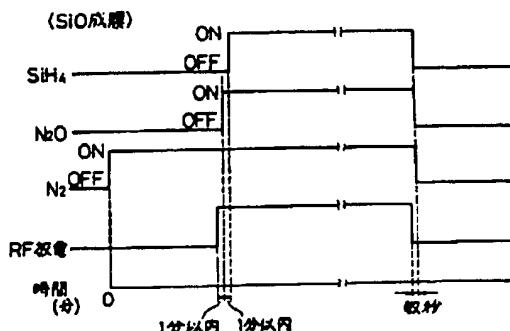
第1図は本発明をSiN膜の成膜に適用した実施例を示すガス導入とRF放電のタイミング図、第2図は本発明をSiO膜の成膜に適用した実施例を示すガス導入とRF放電のタイミング図、第3図は本発明をa-Si:H膜の成膜に適用した実施例を示すガス導入とRF放電のタイミング図、第4図は本発明をn<sup>+</sup>-a-Si膜の成膜に適用した実施例を示すガス導入とRF放電のタイミング図、第5図は本発明の成膜方法によってシリコン系薄膜を成膜した場合の時間の経過にともなう堆積膜の膜厚変化を示す図、第6図は従来の成膜方法によってシリコン系薄膜を成膜した場合の時間の経過にともなう堆積膜の膜厚変化を示す図、

第7図は従来の成膜方法を示すSiN膜を成膜するときのガス導入とRF放電のタイミング図である。

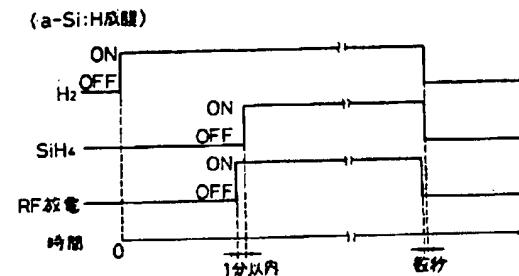
出願人 カシオ計算機株式会社



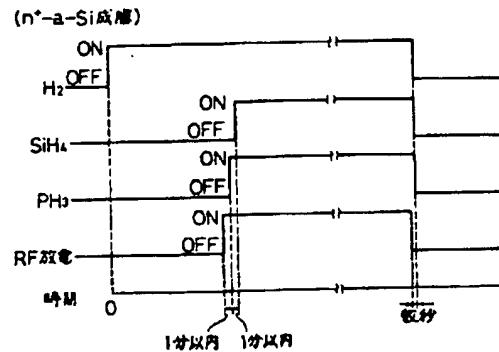
第1図



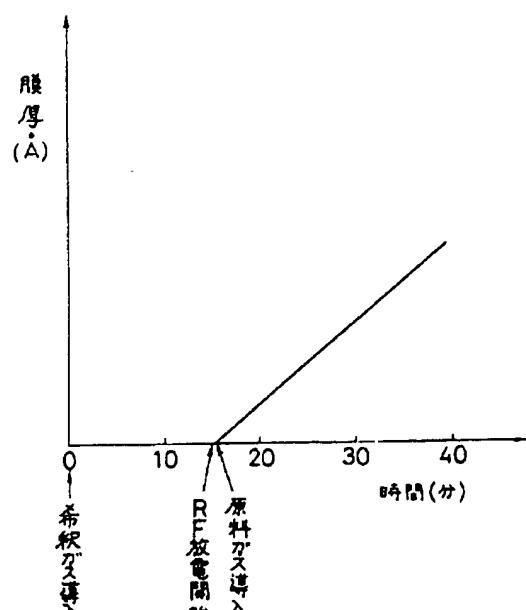
第2図



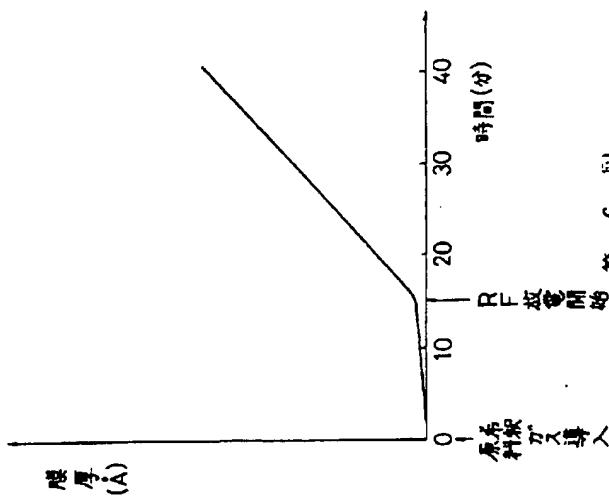
第3図



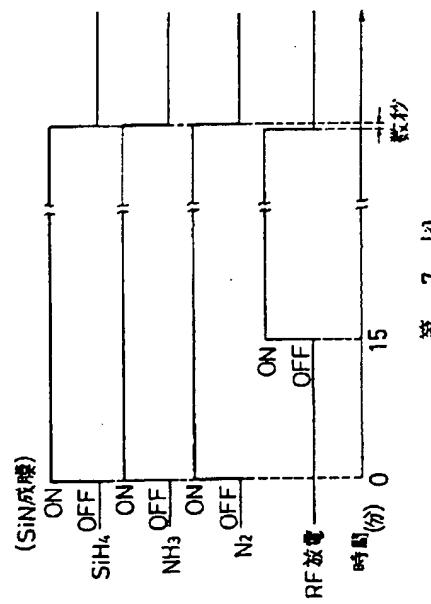
第4図



第 5 図



第 6 図



第 7 図